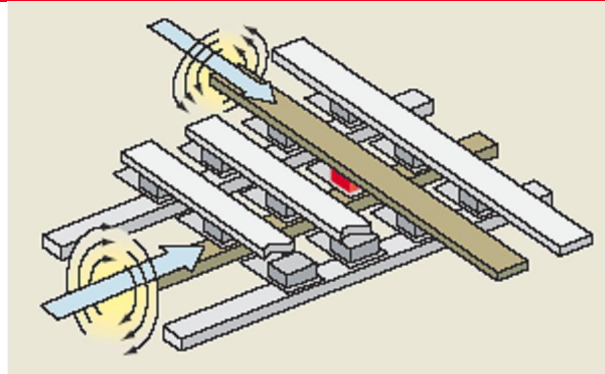
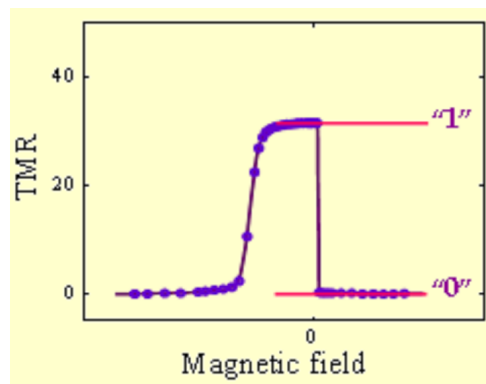


BỘ MÔN TRUY XUẤT THÔNG TIN TỰ NHIÊN VÀ TRÍ TUỆ
MAGNETORESISTIVE RANDOM ACCESS MEMORY



Ôn tập MRAM:

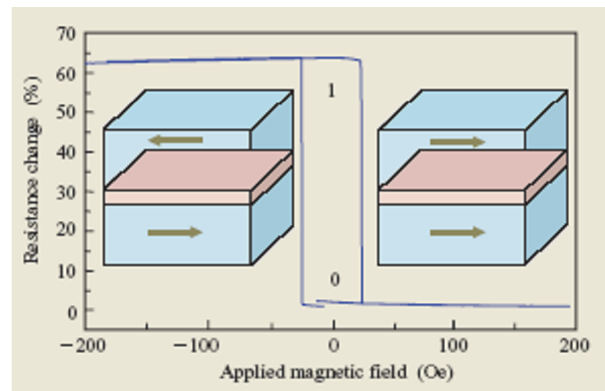
Trong MRAM, mỗi bit nhớ chỉ gồm một đầu và cuộn dây là một bit stack nó bao gồm một vài lớp mỏng. Đây là hiệu ứng xuyên hầm TMR (Tunneling Magnetoresistive) cổ điển. Không sử dụng hiệu ứng khổng lồ GMR (Giant Magnetoresistance) bởi vì tính hiệu quả. Thiết kế bit nhớ cổ điển cách chính xác dựa vào sự thay đổi điện trở (và kéo theo điện áp) có thể đáng kể như bit nhớ cổ điển: tín hiệu TMR mạnh cao tách biệt khá lớn so với mức thấp điện trở do vậy nên hình thành trạng thái của hai bit.



Hình 1: Tín hiệu TMR khi tiếp xúc ngoài, Xu hướng hai trạng thái bit rõ rệt

Những phát hiện này trong việc chế tạo lớp kết nối xuyên hầm đã đạt tín hiệu TMR tăng tới 70% trong CoFeB/AlOx/CoFeB và 200% trong lớp kết nối với lớp rào cản

ng h m MgO. Nh ng giai o n này trong vì c phát tri n công ngh MRAM, giá tr MR cho nh ng linh ki n tích h p ch y u trong kho ng 30–50% (NiFe, NiFeCo). Nh ng thành ph n c b n c a ô MRAM bao g m m t l p ti p xúc xuyên h m t tính v i hai i n c s t t ng n cách b i m t l p cách i n. L p phía trên cùng là v t li u t m m (NiFe), v i v t li u này t hóa d dàng o ng c. t ng tính b t ng h ng bit stack có đ ng ch nh t ho c oval v i c nh song song d ài nh t. L p ti p giáp xuyên h m c ng n cách b i l p cách i n AlOx th ng là Al₂O₃. t hóa c a l p áy c gi c nh. Khi có t tr ng ngoài l p t do s quay theo cùng h ng c a t tr ng ngoài. Trong khi ó l p t hóa c nh s gi nguyên không i. Nh v y có th s p x p c u hình c a bit stack nh sau song song (bit = 0) ho c ph n song song (bit = 1).



Hình 2: Cấu hình của lớp tiếp giáp xuyên hầm tính phụ thuộc vào từ trường ngoài, chỉ rõ hai trạng thái bit

Bit i n tr chính xác nh h ng s th i gian RC và th i gian c d li u, ví d ô có giá tr i n tr 10 k cho phép th i gian truy xu t c nano giây (ns).

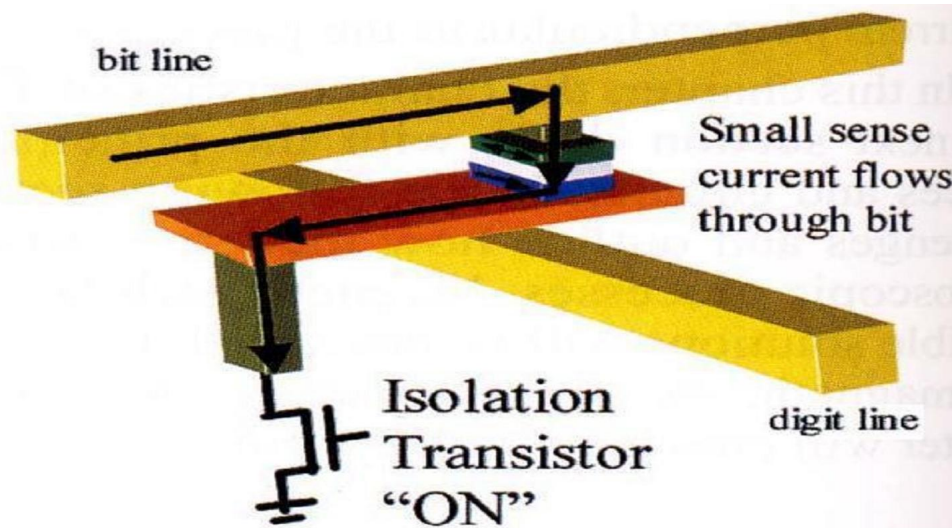
Tích i n tr × di n tích ($R \times A$) c xác nh cao rào ch n xuyên h m và dày t.

Giá trị i n tr dao ng xung quanh tâm ph thu c vào l p ti p giáp, i u ch nh ng kính và dày hàng rào ng n cách không ng nh t gây ra b i s gh gh c a i n c c. Có th gi tín hi u TRM c c i v i giá tr $R \times A$ trong kho ng 100–106 μm^2 , dày l p AlOx trong kho ng 9 Å và 20 Å R t nhi u nghiê n c u ã th c hi n nh m gi m giá tr $R \times A$ xu ng t i l μm^2 nh ng v n gi y tính ch t TRM cho phép s d ng chuy n i spin o ng c t hóa và ghi các bit trên ô. Bit trên ô c ng c quét giá tr $R \times A$ th p và gi giá tr bit i n tr xác nh, trong khi ô bit th p h n 90 nm.

Quá trình c

Thi t b c c b ng cách o i n tr tác ng c a c u trúc, nó có li ên quan t i ch c nawg tr ng thái c a l p không t . làm c i u này l p không t c k t n i v i m t dây d n i n, c gi là bit line, và l p áy c k t n i v i m t transistor có th óng (turned on). Sau ó c p dòng i n cho bit line, dòng i n s ch y qua bit stack và ng th i c ng qua transistor.

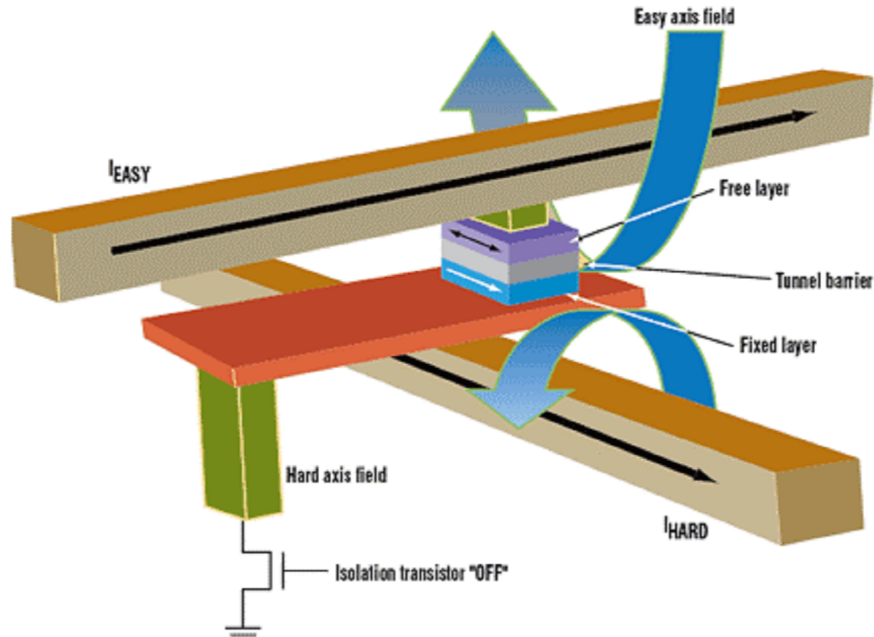
truy xuất trạng thái bit, điện trở bit để so sánh với giá trị điện trở nhằm giá trị bit cao (R_{high}) và bit thấp (R_{low}). Giá trị điện trở nằm trong khoảng R_{high} và R_{low} phụ thuộc vào kích thước. Vì vậy điện trở tối thiểu thường nằm trong khoảng $30\text{ m}\Omega$. Đây là giá trị khá cao so với những mạch tích hợp ngày nay.



Hình 3: Quá trình cảm ứng bit

Quá trình ghi

Mỗi bit được ghi bằng cách chuyển trạng thái ngoài cho lớp tự do (free layer) thông qua sự phân cực. Khi làm việc này transistor tắt (turned off) và những dây dẫn khác được thêm vào phía dưới bit cell, chúng gọi là digit line hay word line. Khi chuyển cho hai dây bit line và digit line, chúng có thể tạo ra hai trường, khi chúng kết hợp lại có thể thông qua sự phân cực của lớp tự do (free layer). Dòng điện trong digit line được giới hạn, nó tạo ra trường dọc theo trục khó phân cực hóa (hard axis) của lớp tự do. Hướng của dòng điện trong bit line có thể thay đổi, do vậy trường tạo ra có thể thuận hoặc nghịch. Trường này được phân bố dọc theo trục dễ phân cực hóa (easy axis) của lớp tự do.



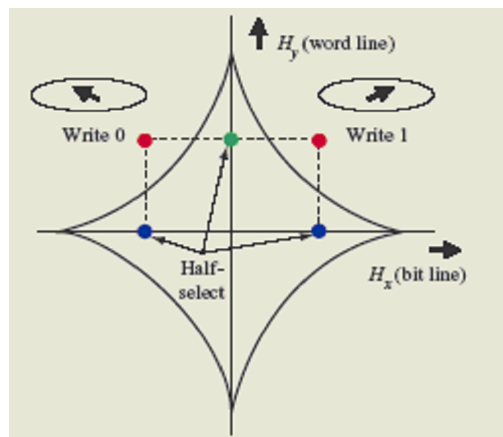
Hình 4: Quá trình ghi m t bit

Hai t tr ng óng vai trò quan tr ng trong vi c thay i h ãng c a l p t do, n u tách riêng t ng cái thì chúng r t y u.

Khi n ãng l ãng c c ti u hóa ch ra r ãng t tr ãng c a tr c đ b t hóa He gi m khi cung c p ãng th i t tr ãng th hai tr c giao v i t tr ãng đ c theo tr c khó b t hóa Hh. Ta có công th c hình sao.

$$H_h^{2/3} + H_e^{2/3} = (2K/M_s)^{2/3}$$

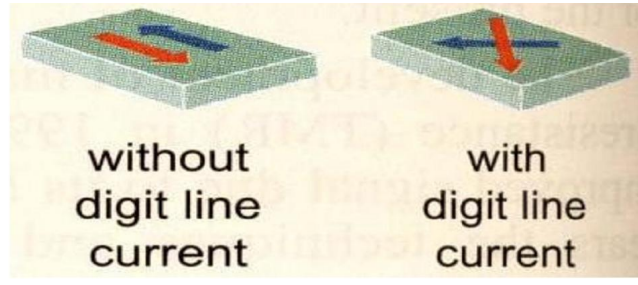
Trong ó K là h ãng s b t ãng h ãng và M_s t hóa bão hòa. Hình 5 th hi n th hình sao. S chuy n m ch x y ra khi b t c t tr ãng k t h p nào n m ngoài hình sao.



Hình 5: th hình sao ch ra r ãng c u hình l p t do khi ch c p m t t tr ãng (các i m m u xanh da tr i và m u xanh lá) và c hai t tr ãng (i m m u)

Trên các digit lines có thể hóa nghiêng chút ít so với trục khó bit hóa (hard axis), và sau đó trên các bit line có thể hóa.

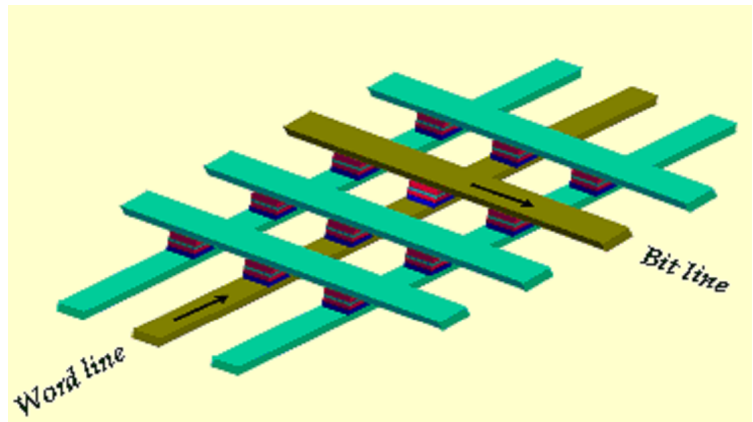
Trên các âm hay dòng và trên các lớp tiếp giáp xuyên hình song song hay phân song song phụ thuộc vào chiều dòng điện trong bit line. Hiện tượng từ trở khổng lồ có thể thay đổi, có thể gọi là, không thay đổi: bit nhớ không biến ho (non-volatile).



Hình 6: Độ nghiêng khi có từ trường trục khó bit hóa

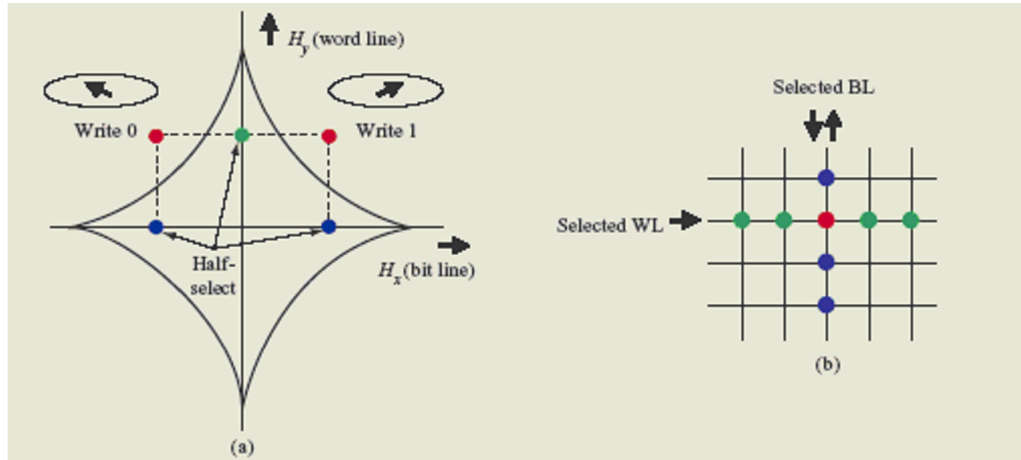
Kiến trúc của MRAM

Thiết kế mạch kiến trúc MRAM, các bit stack được xếp trong một ma trận hình chữ nhật của bit line và word line. Thể hiện trên hình 7.



Hình 7: Các bit cell được xếp theo ma trận

Khi một bit cell transistor đóng (turn on), Dòng điện sẽ cung cấp cho bit line, xác định bit, và ngược lại. Khi transistor mở (off) và ngừng cung cấp cho bit line, word line và transistor bit để các hai lines sẽ có 'chọn phân nửa' ('half-selected'), nhưng không có sự giao cắt của chúng. Khi chọn bit cell thì chọn bit này thay đổi. Hình 8 mô tả quá trình viết của một MRAM ma trận.

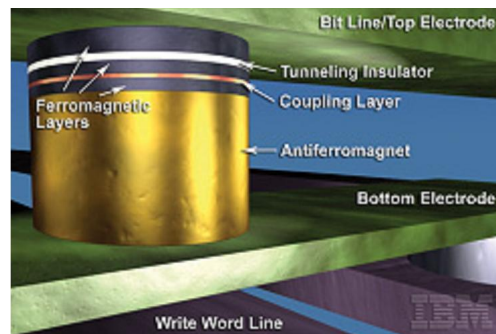


Hình 8: Quá trình viết các bit MRAM ma trận

Dòng điện 5 mA có thể thay đổi trạng thái của bit MTJ. Nhưng dòng điện này khá lớn so với chu trình hoạt động bình thường vì vậy nên nó tạo ra nhiệt khi thì tác động không tốt cho MRAM.

Những cải tiến

Để giảm thiểu nhiệt độ không thể thoát ra ngoài, có thể thay thế bit hai lớp từ tính bằng cách sử dụng bit kim loại Ruthenium. Sự thay đổi trong hai lớp khi tiếp xúc song song mà không thể hình thành bit từ tính ngoài.



Hình 9: Coupling Layer

Những quá trình viết khác nhau

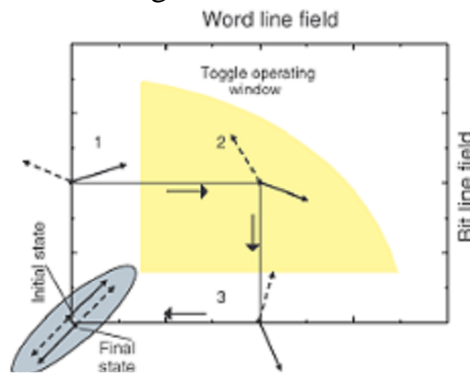
Quá trình viết ngẫu nhiên mô tả trên đây sẽ diễn ra rất nhanh. Nó cũng là phương pháp Stoner–Wohlfarth chính xác trong ma trận MRAM. Tuy nhiên, nó có một số nhược điểm, đó là lý do tại sao hầu hết các nghiên cứu cho thấy MRAM hiện đang liên quan đến quá trình viết. Trạng thái viết bằng phương pháp này phụ thuộc vào hình dạng của dòng trong bit line. Thực tế phương pháp này đòi hỏi dòng điện cần tăng theo một vài cách cụ thể. Bên cạnh đó, việc sinh ra nhiệt sẽ hình thành vùng nóng, làm cho chúng sinh nhiệt nhiều hơn và có thể làm sai lệch các bit trong ma trận.

Vi t Toggle

Trong quá trình vi t toggle, bit line và word line l ch góc 45° so v i tr c d b t hóa c a bit. Khi cho t tr ng i qua m t ho c c hai line. t hóa c a bit s u tiên theo h ng vuông góc v i h ng c a nó. Hi n t ng này có th s d ng làm xoay t hóa c a l p t do.

u tiên bit line c t o ra b i t tr ng, sau ó c bit line và word line và cu i cùng ch word line. t hóa sau ó t nó s p x p th ng hàng theo tr c d b t hóa nh v y d n t i o ng c tr ng thái ban u.

i u này cố ngh a r ng tr ng thái bit ph i c c tr c khi vi t, b i vì khi vi t luôn luôn o ng c dòng tr ng thái. u i m c a ph ng pháp này so v i ph ng pháp Stoner–Wohlfarth là dong nh h ng.



Hình 10: Quá trình vi t Toggle

Vi t h tr nhi t

B ng cách t nóng ô nh MRAM có th gi m c ng c a t tr ng i u ch nh t hóa c a l p t do. Khi nhi t c a v t li u t ng n nhi t t i h n Curie s t hóa có th thay i r tr ràng. Có nhi u cách làm nóng ô nh . Ph n l n là g i m t dòng i n qua bit line ho c word line th m chí truy n qua chính ô nh . G i dòng i n qua bit/word line c ng s làm nóng nh ng ô nh khác trong cùng m t kh i.

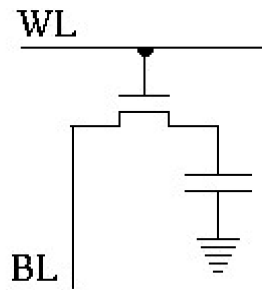
Chuy n i spin xo n

Ph ng pháp c tìm ra cho ô nh MRAM trong t ng lai là momen spin ho c chuy n i spin xo n (spin-torque transfer). V i c u trúc nh h n 100 nm có th phát hi n th y r ng m t dòng electron phân c c spin có th thay i h ng t hóa.

Thu n l i l n nh t c a ph ng pháp này là không c n b t c t tr ng nào chuy n i bit. Mômen t spin c a electron t ng tác tr c ti p v i v t li u s t t .

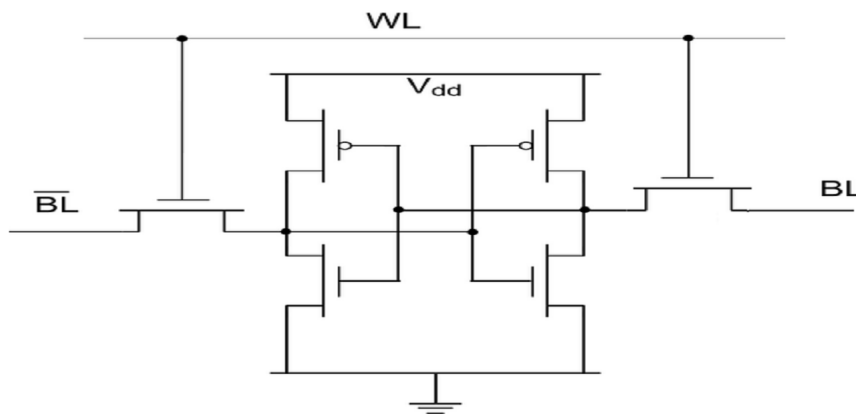
K thu t khác

Dynamic RAM (DRAM), c s d ng r ng rãi nh b nh bi n ho t (volatile memory) trong máy tính và nh ng n i khác là b nh tích h p k thu t cao. M t ô nh DRAM bao g m m t b t và m t FET n gi n. Ô nh DRAM c n làm t i l i gi tr ng thái b i vì t i n luôn bi n i do quá trình x i n. hi n t ng này x y ra trong vài ch c milli giây. Do v y nên ngu n c p cho DRAM luôn l n h n MRAM. Hình 11 mô t c u trúc c a m DRAM



Hình 11: DRAM

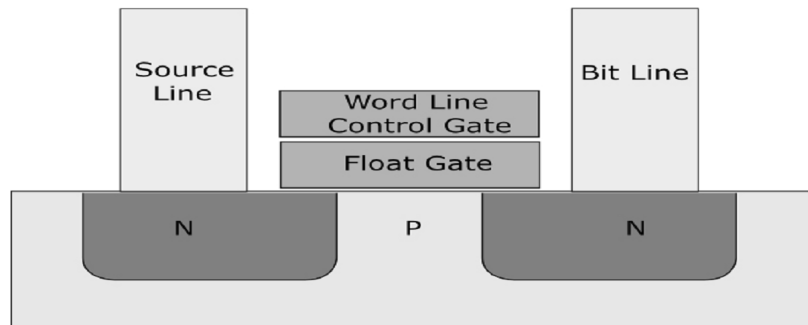
Static RAM (SRAM) là bộ nhớ biến hoát (volatile memory) được sử dụng trong bộ nhớ cache (bộ nhớ truy cập nhanh) bên trong bộ xử lý hoặc bên trong những thiết bị tích hợp. Một ô nhớ SRAM điển hình bao gồm sáu FET, bố trí trong sơ đồ này tạo thành một flip-flop giữ giá trị. Hai FET còn lại kết nối vào một đường chung và một đường nguồn. Vì FET có điện dung rất thấp nên thời gian chuyển mạch rất nhanh, và SRAM là loại bộ nhớ rất nhanh.



Hình 12: Sơ đồ mạch của một SRAM điển hình

Bộ nhớ Flash là bộ nhớ không biến hoát (non-volatile memory) được sử dụng phổ biến. Nó được sử dụng trong dụng cụ nhớ cho thẻ nhớ (memory card), hoặc nhúng sản phẩm nhúng (embedded products). Những trong những phát hiện gần đây về vật liệu, bộ nhớ flash được phát triển trong các sản phẩm thay thế cho các ổ cứng. Một ô nhớ flash điển hình gồm một FET và hai cổng. Một điện tích nạp được giữ trong cổng floating bằng cách tích tụ các electron. Cổng điều khiển (control gate) được cung cấp điện thế cao. Những electron tích tụ trong kênh có thể nhảy qua cổng floating. Khi xóa một ô thì phải cung cấp một điện thế ngược với điện thế của máng (drain), do vậy các electron tích tụ trong cổng floating có thể chuyển hướng.

Trong mạch bộ nhớ linh kiện sử dụng bộ nhớ flash cho phép thực hiện hành trình bộ nhớ vì thời gian đọc bộ nhớ flash không đồng nhất như DRAM và thời gian viết bộ nhớ bộ nhớ lâu hơn.



Hình 12: Bộ nhớ flash

Lịch sử và quá trình thương mại hóa

Sau khi khám phá ra hiệu ứng từ kháng GMR năm 1988. Công ty năm 200 IBM và infineon thành lập một công ty nghiên cứu chung nghiên cứu về MRAM.

Năm 2002 Cypress Semiconductor là công ty chuyên chế tạo chip nhớ đã ký một thỏa thuận trao đổi công nghệ với NVE, trong đó vẫn có rất nhiều sự hỗ trợ liên quan đến MRAM. Cypress bắt đầu bán các chip MRAM vào năm 2003, với dung lượng 128Kbit, sản xuất công nghệ 180nm. Tuy nhiên mức độ phức tạp và giá cao đã ngăn cản nó trở thành sản phẩm thương mại. Tháng 3 năm 2005 Cypress bán nhượng quyền phần trăm của MRAM và thay thế các chip trong danh mục của mình bằng một chip SRAM mà giá trị của nó thông qua một thị trường.

Motorola hãng chuyên chế tạo microchip hàng đầu, bắt đầu bán chip MRAM 4 Mbit vào tháng 7 năm 2006.

Renesas, ngành bán dẫn liên doanh của Hitachi và Mitsubishi của Nhật Bản, công bố vào tháng 12 năm 2005 rằng họ muốn bắt đầu sản xuất mô-men xoắn spin chip MRAM chuyên trong một quy trình 65nm trong hợp tác với công ty mẹ Grandis rts m.

Grandis là một công ty nghiên cứu chuyên nghiệp là bán sự hỗ trợ. Họ có một sự bổ sung sáng chế liên quan đến mô-men xoắn spin chuyên nghiệp và làm thế nào để sử dụng công nghệ ô nhiễm.

Liên quan đến tiến bộ công nghệ, trong tháng 6 năm 2004 công bố một chip Infineon mới với thời gian viết công suất 16Mbit.

Sony công bố vào tháng mười hai năm 2005 rằng họ đã có một mẫu thử nghiệm trong phòng thí nghiệm làm việc của một chip MRAM có spin chuyên nghiệp giao sđng mô-men xoắn.

Trong tháng tám năm 2007, IBM và TDK đã ký một thỏa thuận hợp tác với nhau trong nghiên cứu công nghệ MRAM với hy vọng giảm chi phí của họ khi kết hợp các công nghệ của họ trên cùng một chip MRAM cạnh tranh.

Tổng lại của MRAM

Do hiệu ứng siêu thuận từ (superparamagnetic effect) ô nhiễm MRAM chỉ có thể có thể tìm giá trị xác định. Khi chúng giảm kích thước nhỏ, tính có kho 10nm, hiệu ứng tính năng thông tin không có thể giải.

chip MRAM hiện đang trong sản xuất chủ yếu là chế tạo bằng cách sử dụng công nghệ 180nm hoặc 90nm. Tuy nhiên, theo lộ trình phát triển của ngành bán dẫn cho thị trường công nghệ chế tạo 10nm sẽ bắt đầu vào khoảng năm 2015.

Tài liệu tham khảo

1. Bài giảng vật lý tế bào cấu trúc nano
PGS.TS Trần Hoàng Hải
2. MRAM
Prof. Alex Grishin
3. Magnetoresistive Random Access Memory (MRAM)
James Daughton
4. Non-volatile magnetic random access memories (MRAM)
R.C. Sousa, I.L. Prejbeanu
5. <http://www.mram-info.com>